

Введение

Инфраструктура IP-ядер «Микропроцессорная система на MicroBlaze» (Infrastructure IP-Cores «Microprocessor Based System on MicroBlaze», сокращенно «MBS on MB») является универсальным структурным решением, предназначенным для построения микропроцессорных систем, способных эффективно использовать схемотехнические решения, заложенные в FPGA модули производства ЗАО «Скан Инжиниринг Телеком». В основе «MBS on MB» лежит функционально выверенная микропроцессорная структура, построенная на микропроцессорном IP-ядре MicroBlaze.

Инфраструктура IP-ядер «MBS on MB» предлагается пользователям FPGA модулей в качестве основы для построения собственных аппаратных платформ, реализующих микропроцессорные структуры в FPGA микросхемах.

Возможности

- Организация минимальной по функциональности микропроцессорной системы на базе микропроцессорного ядра MicroBlaze с поддержкой возможности отладки исполняемого кода через интерфейс JTAG и поддержкой системы прерываний
- Размещение и исполнение двоичного кода ядром MicroBlaze из статической памяти типа BRAM или динамической памяти типа SDRAM DDR
- Обеспечение работы микропроцессорного ядра MicroBlaze с динамической памятью типа SDRAM DDR через кеш-контроллер
- Сохранение и загрузка исполняемого двоичного кода для микропроцессорного ядра MicroBlaze из энергонезависимой памяти типа Flash
- Организация консольного интерфейса на базе порта ввода/вывода типа RS-232
- Доступу к блокам светодиодных индикаторов и внешних переключателей FPGA модуля
- Поддержка аппаратного таймера, который может стать основой для решения ряда периодически повторяющихся задач
- Обеспечение присутствия нескольких коммутаторов AXI, предназначенных для подключение дополнительных, необходимых пользователю отдельных IP-ядер и инфраструктур IP-ядер

Данные инфраструктуры IP-ядер

Особенности инфраструктуры IP-ядер	
Семейства поддерживаемых FPGA	Xilinx Virtex-6, Virtex-7
Поддерживаемые модули ЗАО «Скан Инжиниринг Телеком»	SVP-713/723/726 SAMC-713/715/717
Поддерживаемые пользовательские интерфейсы	AXI4
Ресурсы	См. таблицу 1
Обеспечение инфраструктуры IP-ядер	
Файлы проекта	VHDL, Verilog
Пример проекта	Xilinx Vivado 2014.2, ISE 14.6
Тестирование	VHDL, Verilog
Файлы настройки	XDC и UCF
Поддержка программных драйверов	Осуществляется на уровне библиотек, написанных на языке «Си» к IP-ядрам. Компиляции в Xilinx SDK для микропроцессора MicroBlaze.
Поддержка	
Обеспечивается SET www.setdsp.ru/support	

Обзор

Разработчики ЗАО «Скан Инжиниринг Телеком» предлагают для ряда своих FPGA модулей единую структурную схему «MBS on MB», представленную ниже на функциональной блок-схеме. В своей реализации, эта структурная схема охватывает работу с набором типовых микросхем окружения основной FPGA микросхемы на ряде FPGA модулей ЗАО «Скан Инжиниринг Телеком», а так же обеспечивает возможность подключения различных шинных технологий, дополнительных IP-ядер и инфраструктур IP-ядер. Подключение обеспечивается за счет включения в состав структуры «MBS on MB» нескольких интерфейсных коммутаторов уровня AXI.

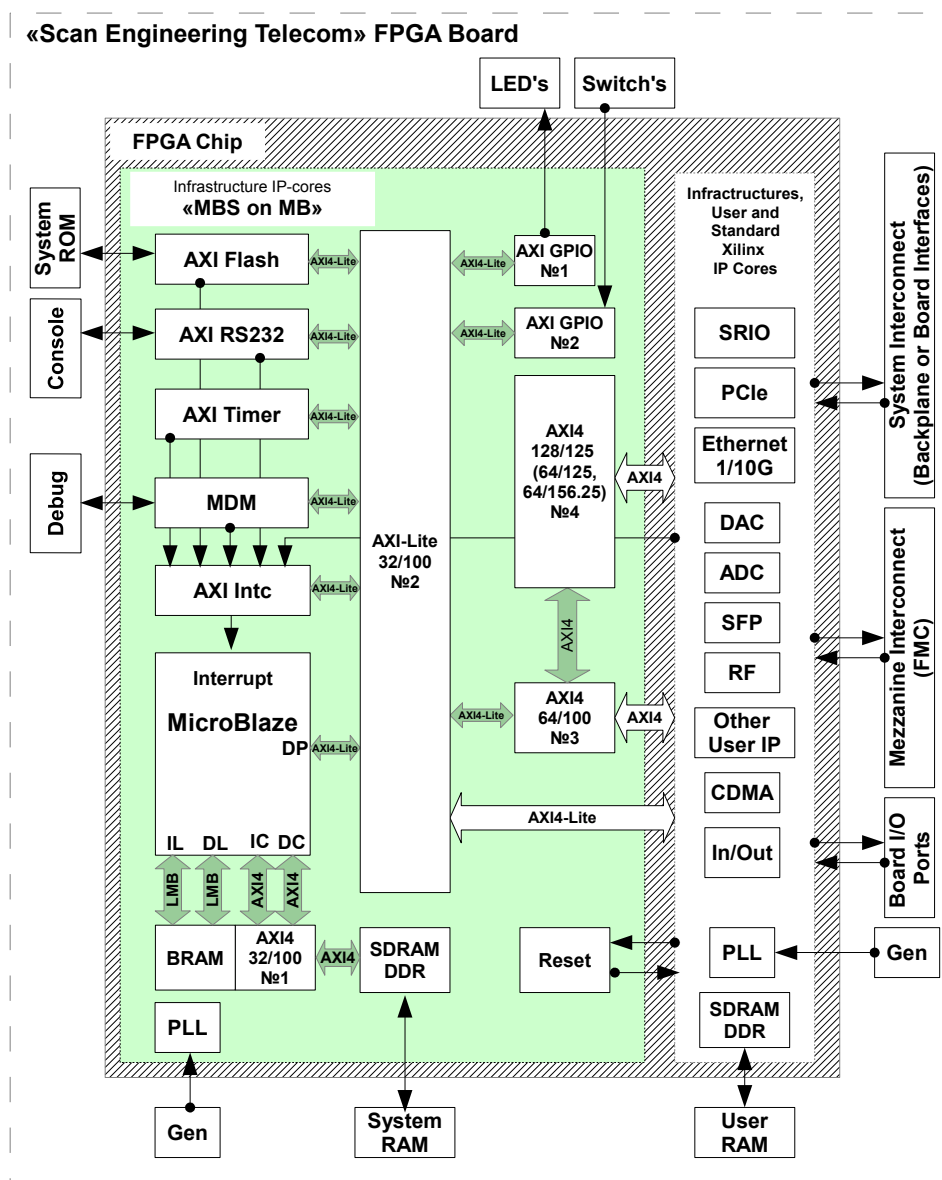
Пользователи FPGA модулей, взявшие за основу для своих аппаратных платформ структуру «MBS on MB», концентрируют свое основное время разработки на реализации своих собственных IP-ядер, решающих специфичные задачи пользователя, и осуществляют подключение этих IP-ядер к интерфейсным AXI коммутаторам №2, №3 и №4 структуры «MBS on MB». Вы-

бор конкретного AXI коммутатора для подключения определяется пользователем исходя из нагрузки на AXI структуры по трафику пользовательских данных, создаваемого IP-ядром пользователя. Все интерфейсные AXI коммутаторы имеют разную разрядность шины данных (32/64/128 бит) и работают на разных частотах опорных генераторов (100/125/156,25/200 МГц), что определяет их пропускную способность.

Для осуществления подключения структуры «MBS on MB» к разным типам FMC модулей и шинным технологиям уровня PCIe (PCI Express), SRIO, 10G Ethernet и т. д., пользователь может воспользоваться обширным набором соответствующих инфраструктур IP-ядер поддержки, специально разработанных компанией ЗАО «Скан Инжиниринг Телеком» и представленных на ее сайте.

Более подробно с описанием структуры «MBS on MB» можно ознакомиться в документе [1].

Функциональная блок-схема



Основные особенности

Инфраструктура IP-ядер «Микропроцессорная система на MicroBlaze» входит в состав предварительно подготовленных аппаратных платформ для ряда FPGA модулей или может использоваться самостоятельно в составе аппаратных платформ пользователя. Примером предварительно подготовленной аппаратной платформы может выступить «Аппаратная платформа для FPGA модулей „Core-0“» (см. документ [2]).

Основные функциональных группы инфраструктуры IP-ядер «Микропроцессорная система на MicroBlaze»:

Микропроцессорное ядро:

- 32 разрядный микропроцессор на базе IP-ядра MicroBlaze, работающий на частоте 100 МГц;
- использование интерфейсов IP-ядра MicroBlaze IL, DL, IC, DC, DP, Interrupt;
- объём кэш-памяти: 16 Кбайт (Virtex-6) или 64 Кбайт (Virtex-7).

Группа коммутаторов AXI4:

- коммутатор №1, подключение только контроллера SDRAM DDR (System RAM);
- коммутатор №2, подключение к 32 разрядным низкоскоростным устройствам;
- коммутатор №3, подключение к 64 разрядным низкоскоростным устройствам (CDMA, 1G Ethernet и т. д.);
- коммутатор №4, подключение к 64 (Virtex-6) или 128 (Virtex-7) разрядным высокоскоростным устройствам (CDMA, PCIe, SRIO, 10G Ethernet и т. д.).

Группа окружения микропроцессорного ядра:

- блок памяти BRAM 32 Кбайт ;
- блок контроллера памяти SDRAM DDR (System RAM, в зависимости от марки FPGA модуля 128/256/512 Мбайт);
- контроллер аппаратных прерываний;
- блок отладки через JTAG интерфейс;
- аппаратный таймер;
- блок работы с флеш-памятью.

Группа сервисных модулей:

- последовательный порт ввода/вывода типа RS-232 (скорость 115200-8-n1);
- блок светодиодных индикаторов;
- блок внешних переключателей.

Таблица 1: Требуемые ресурсы для инфраструктуры IP-ядер «Микропроцессорная система на MicroBlaze»

Семейство FPGA	Slices	Registers	LUTs	Block RAM
Virtex-6	4977	9073	10155	22
Virtex-7	6544	17665	16503	78

Ограничения

Исполняемые микропроцессорным ядром MicroBlaze инструкции могут располагаться только в двух областях памяти: во внутренней, по отношению к FPGA микросхеме, памяти BRAM и внешней SDRAM DDR (System RAM).

Доступ в режиме Master AXI шины к памяти BRAM и внешней SDRAM DDR (System RAM) со стороны устройств, подключаемых к интерфейсным коммутаторам №2, №3 и №4 не возможен.

Лицензирование и информация для заказа

По вопросам приобретения и использования инфраструктуры IP-ядер «Микропроцессорная система на MicroBlaze» обращайтесь в отдел продаж компании ЗАО «Скан Инжиниринг Телеком» по адресу sales@setdsp.ru.

Ссылки

1. Инфраструктура IP-ядер «Микропроцессорная система на MicroBlaze». Руководство пользователя. [UG-IP-IS-MBS](#) .
2. Аппаратная платформа для FPGA модулей Core-0. Руководство пользователя. [UG-FPGA-00-CORE-0](#) .

Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99
www.setdsp.ru

Электронная почта:

Отдел продаж: sales@setdsp.ru

Техническая поддержка: support@setdsp.ru

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2015

Документ DS-IP-MBS 1.0 (27 мая 2015 г.) создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2015