

Введение

IP-ядро «DAC контроллер» (IP-Core «DAC Controller») предоставляет пользователям ряда FPGA модулей производства ЗАО «Скан Инжиниринг Телеком», занимающимся самостоятельной разработкой аппаратных платформ для FPGA микросхем, возможность работы с установленными на некоторые FMC модули микросхемами ЦАП разных типов и производителей (например: DAC5878 производства Maxim, DAC5681Z производства Texas Instruments (TI) и другими).

Основные задачи, решаемые IP-ядром «DAC контроллер», связаны с компенсацией разницы во временных задержках на всех физических цепях от FPGA до микросхемы ЦАП, конвертацией потоков данных, проходящих по параллельным шинам в формате AXI4-Stream, в последовательные потоки данных, передаваемые по последовательным интерфейсам на микросхеме ЦАП, а также организацией непосредственного управления микросхемами ЦАП по последовательным интерфейсам.

Возможности

- Совместимость с интерфейсом AXI4
- Поддержка управляющей шины AXI4 в 32-х битном режиме
- Широкая поддержка аппаратных возможностей микросхем ЦАП
- Обеспечение полной пропускной способности для всех каналов микросхем ЦАП на интерфейсах AXI4-Stream при их одновременном использовании
- Максимальная гибкость при совместном использовании с пользовательскими блоками обработки цифровых потоков данных для ЦАП за счёт использования интерфейса AXI4-Stream
- Полное управление и контроль состоянием микросхем ЦАП посредством вышестоящей микропроцессорной системы, с возможностью использования механизма прерываний

Данные IP-ядра

Особенности ядра	
Семейства поддерживаемых FPGA	Xilinx Virtex-6, Virtex-7
Поддерживаемые модули ЗАО «Скан Инжиниринг Телеком»	SVP-713/723/726 SAMC-713/715/717
Поддерживаемые пользовательские интерфейсы	AXI4, AXI4-Stream
Производительность	Полная для всех типов ЦАП
Ресурсы	См. таблицу 1
Обеспечение ядра	
Файлы проекта	VHDL
Пример проекта	Xilinx Vivado 2014.2, ISE-14.6
Тестирование	VHDL
Файлы настройки	XDC и UCF
Поддержка программных драйверов	Осуществляется на уровне библиотеки, написанной на языке «Си». Компиляции в Xilinx SDK для микропроцессора MicroBlaze.
Поддержка	
Обеспечивается SET www.setdsp.ru/support	

Обзор

Структурная схема IP-ядра «DAC контроллер» представлена на изображенной ниже функциональной блок-схеме. В соответствии со схемой IP-ядро «DAC контроллер» состоит из нескольких, связанных друг с другом функциональных блоков отдельных аппаратных элементов FPGA микросхемы.

Данные передаются на ЦАП со скоростью сигнала опорной тактовой частоты «DAC_Ref_Clk». Для низкоскоростных устройств (DAC5878) сигнал тактовой частоты «DAC_Clk_Out» сразу поступает от «DAC_Ref_Clk» на элементы FPGA временных и электрических согласований. Для высокоскоростных устройств (DAC5681Z) добавляется делитель частоты «CLK DIV» для генерации двух частот на основе «DAC_Ref_Clk», которые подаются на элемент «OSERDES», с выхода которого получается частота следования данных для ЦАП.

Входной поток данных AXI4-Stream, в зависимости от скорости, сразу поступает на элементы согласований «ODELAY» или с помощью FPGA элемента «OSERDES» преобразуется в DDR формат.

Для компенсации разницы во временных задержках на всех физических цепях от FPGA до ЦАП, из-за не идеальной трассировки печатной платы и наличия разброса временных параметров

выводов микросхем, сигналы поступают на регулируемый элемент задержки «ODELAY». Затем для согласования с дифференциальными линиями данных и тактовой используются аппаратные элементы FPGA «OBUFDS».

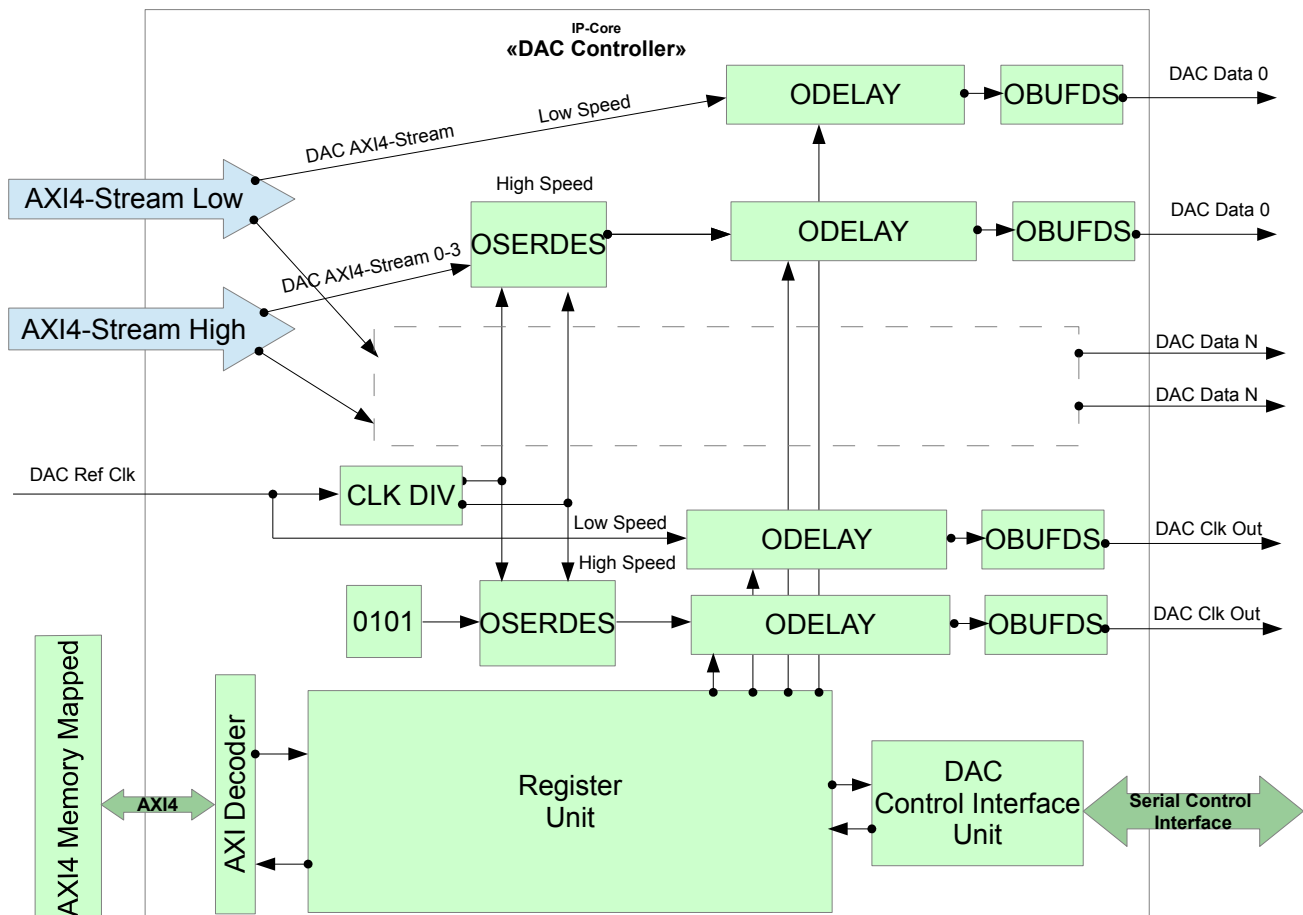
Блок подключения к AXI4 шине «AXI Decoder» обеспечивает взаимодействие IP-ядра «DAC контроллер» с AXI4 структурами. Через этот блок осуществляется доступ к значениям регистров блока регистров «Register Unit».

Блок регистров (Register Unit) реализует регистры управления и статуса работы IP-ядра, позволяет управлять программируемыми элементами задержки «ODELAY» через коммутаторы AXI4. Кроме того, для конфигурирования внутренних регистров микросхем ЦАП по различным последовательным протоколам, добавляется блок контроля ЦАП «DAC Control Interface Unit».

Интерфейс подключения IP-ядра «DAC контроллер» к AXI4 и AXI4-Stream структурам соответствует AMBA (Advanced Microcontroller Bus Architecture) совместимым AXI4 спецификациям.

Более подробно с описанием IP-ядра «DAC контроллер» можно ознакомиться в документе [1].

Функциональная блок-схема



Основные особенности

IP-ядро «DAC контроллер» входит в состав различных инфраструктур IP-ядер, отвечающих за поддержку работы FMC модулей производства ЗАО «Скан Инжиниринг Телеком» или может использоваться самостоятельно в составе подобных структур пользователя. Примером инфраструктур IP-ядер поддержки FMC модулей может выступать «Поддержка submodule SFM-4D1000» (см. документ [2]).

IP-ядро «DAC контроллер» предназначено для максимально быстрой адаптации пользовательских блоков обработки цифровых потоков данных для совместной работы с ЦАП. Это обеспечивается за счёт следующих особенностей:

- для передачи данных используют только AXI4-Stream интерфейсы в минимальной конфигурации без использования дополнительных пользовательских сигналов, что максимально упрощает понимание процессов протекающих при передаче данных для ЦАП;
- все необходимые настройки проекта уже выполнены (физические выводы FPGA и временные констрейны), что значительно снижает время интеграции дополнительных элементов;
- IP-ядро обеспечивает максимальную производительность требуемую для передачи данных для ЦАП без потерь;
- инфраструктура IP-ядер AXI4-Stream включает в себя все необходимые элементы для стандартных преобразований данных, библиотека которых постоянно наращивается компаниями Xilinx и ЗАО «Скан Инжиниринг Телеком»;
- интерфейс подключения IP-ядро «DAC контроллер» соответствует AMBA совместимым AXI4 спецификациям.

Таблица 1: Требуемые ресурсы для IP-ядра «DAC контроллер»

Семейство FPGA	Slices	Registers	LUTs	Block RAM
Virtex-6	380	1019	1304	0
Virtex-7	424	1021	453	0

Ограничения

Данные для ЦАП должны поступать непрерывно, в соответствии с опорной тактовой частотой. В случае невозможности обеспечения непрерывности потока AXI4-Stream необходимо использовать IP-ядро «AXI4-Stream Data FIFO».

Лицензирование и информация для заказа

По вопросам приобретения и использования IP-ядра «DAC контроллер» обращайтесь в отдел продаж компании ЗАО «Скан Инжиниринг Телеком» по адресу sales@setdsp.ru.

Ссылки

1. IP-ядро «DAC контроллер». Руководство пользователя. [UG-IP-DAC-CONT](#).
2. Инфраструктура IP-ядер «Поддержка submodule SFM-4A250». Техническое описание. [DS-IP-IS-SFM-4A250](#).

Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99
www.setdsp.ru

Электронная почта:
Отдел продаж: sales@setdsp.ru
Техническая поддержка: support@setdsp.ru

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2015
Документ DS-IP-DAC-CONT 1.0 (27 мая 2015 г.) создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2015